



PATENT

Docket No. JCLA7806

page 1

IN THE UNITED STATE PATENT AND TRADEMARK OFFICE

In re application of : JUI-FENG KO et al.
Application No. : 10/701,261
Filed : November 03,2003

CONTROL CHIP AND METHOD OF
REDUCING ELECTROMAGNETIC
For : INTERFERENCE

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

February 25, 2004

(Date)


Jiawei Huang, Reg. No. 68,330

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

RECEIVED

MAR 31 2004

Technology Center 2100

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 91133115 filed on November 12, 2002.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7806).

Date: 2/25/2004

By: 
Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
4 Venture, Suite 250
Irvine, California 92618
Tel: (949) 660-0761

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

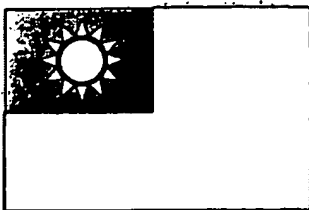
- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

10/101,261 : 11

JCLF7806



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 12 日
Application Date

申請案號：091133115
Application No.

申請人：友達光電股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 20 日
Issue Date

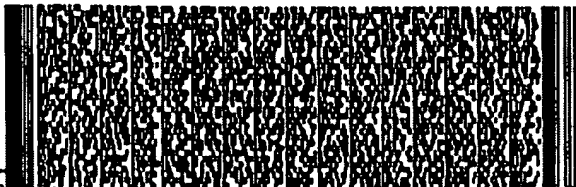
發文字號：09221179380
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	降低電磁干擾之控制晶片與方法
	英文	CONTROL CHIP AND METHOD OF REDUCING ELECTROMAGNETIC INTERFERENCE
二、 發明人 (共1人)	姓名 (中文)	1. 柯瑞峰
	姓名 (英文)	1. Jui-Feng Ko
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台南市中山路79巷22號之77
	住居所 (英文)	1. No. 22-77, Lane 79, Jungshan Rd., Jung Chiu, Tainan, Taiwan 700, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1. Au Optronics Corporation
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. Kun-Yao Lee



四、中文發明摘要 (發明名稱：降低電磁干擾之控制晶片與方法)

一種降低電磁干擾之控制晶片與方法。此降低電磁干擾之控制晶片係內建於積體電路中，可自匯流排接收一種演算法並儲存此種演算法，與自外部接收時脈訊號，並根據此時脈訊號對電磁干擾訊號的頻率進行展平。本發明可藉由演算法對時脈訊號做調變，因此可對不同頻率的電磁干擾訊號做最佳化的處理。

伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

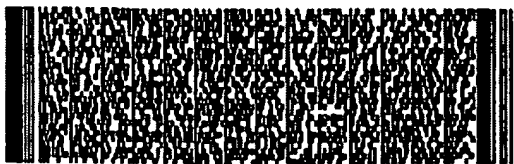
302：應用特定積體電路

304：可程式化相位鎖相環路

306：匯流排

陸、英文發明摘要 (發明名稱：CONTROL CHIP AND METHOD OF REDUCING ELECTROMAGNETIC INTERFERENCE)

A control chip and method of reducing electromagnetic interference. The control chip of reducing electromagnetic interference is built in the integrated circuit. It can receive a algorithm from the bus and store the algorithm, and receive the clock signal from the external part and proceed spread spectrum according to the frequency of the clock signal to the electromagnetic interference signal. The present invention modulates the



四、中文發明摘要 (發明名稱：降低電磁干擾之控制晶片與方法)

陸、英文發明摘要 (發明名稱：CONTROL CHIP AND METHOD OF REDUCING ELECTROMAGNETIC INTERFERENCE)

clock signal by the algorithm, thus it can make optimal process for various frequencies of electromagnetic interference signals.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。

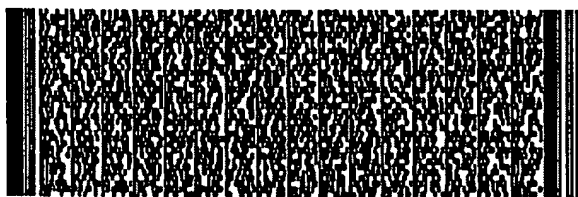


五、發明說明 (1)

本發明是有關於一種降低電磁干擾(Electromagnetic Interference, 簡稱EMI)之控制晶片(IC), 且特別是有關於一種利用可程式化之相位鎖相環路(Software Phase Lock Loop, 簡稱SPLL)來降低電磁干擾之控制晶片。

針對多媒體社會之急速進步, 多半受惠於半導體元件或顯示裝置之快速發展。就顯示元件而言, 陰極顯示管(或稱映像管, Cathode Ray Tube, CRT)因具有優異之顯示品質及其經濟性, 一直獨佔戰了顯示器市場。然而, 對個人在桌上操作多數終端機器/顯示器裝置之環境, 或從地球環保之觀點, 若對省能源化等潮流加以預測, CRT有體積過大與消耗過多能源的問題。對於高畫質、低消耗電功率、薄型量產、低電壓驅動、體積小等要求而言, CRT式的顯示器顯然無法達成此要求。針對此一點, 液晶顯示器(Liquid Crystal Display, 簡稱LCD)將有很大的優勢。

在1970年代初期, 首先應用在電子計算機及電子鐘錶上。隨後, 因有多種新的光電效應被發現及驅動技術的改良, 使其具有高畫質、低消耗電功率、薄型量產、低電壓驅動、體積小等的優點。目前LCD已經廣泛應用在中、小型可攜式電視、影像電話、攝錄放影機、筆記型電腦、桌上型顯示器、以及投影彩色電視等, 有逐漸代CRT的趨勢, 為目前最受到注目的產品組件之一, 而現今最普遍的LCD即為所謂的TFT-LCD(Thin Film Transistor Liquid Crystal Display, 簡稱TFT-LCD, 薄膜電晶體液晶顯示



五、發明說明 (2)

器)。

當薄膜電晶體液晶顯示器在做測試時，在眾多測試項目中有一項是針對TFT-LCD的抗電磁干擾的容許度做測試，如果電磁干擾的峰值(Peak值)高過容許度，薄膜電晶體液晶顯示器就會無法通過測試。因此，為了要讓薄膜電晶體液晶顯示器通過測試，便要想辦法降低電磁干擾的峰值，使電磁干擾的峰值能在容許度內，符合電磁干擾的測試要求。目前的薄膜電晶體液晶顯示器為將低電磁干擾，通常會在薄膜電晶體液晶顯示器之驅動電路的應用特定積體電路(Application Specific Integrated Circuit，簡稱ASIC)外加一顆延展電磁時脈產生器(Spread Spectrum Clock Generation，簡稱SSCG)，請參照第1a圖，或是在應用特定積體電路內建一顆延展電磁時脈產生器，請參照第1b圖。此延展電磁時脈產生器會根據輸入的時脈訊號對電磁干擾訊號做展平的動作，以降低電磁訊號的干擾。

如第2a圖繪示一般的電磁干擾訊號的頻譜分佈之波形。假設原本頻率為 f_0 ，寬度為 w_0 的電磁干擾訊號，經過延展電磁時脈產生器進行展平後，會變成頻率為 f_0 ，寬度為 w 的電磁干擾訊號。延展電磁時脈產生器的展平方法為：以電磁干擾的脈波(Pulse)為中心，將電磁干擾的脈波寬度展開。基於能量不減的關係，經過展開的電磁干擾的脈波在寬度增加為 w 後，其峰值的dB值便會降低。因此，展平後的頻譜波形會變成如第2b圖所示一般。很明顯的，電磁干擾訊號之波峰的dB值會被降低到液晶顯示器所



五、發明說明 (3)

能接受的範圍，因此能有效的減少電磁訊號的干擾。

但習知利用延展電磁時脈產生器的作法確有一些嚴重的缺點，SSCG晶片只能對某一特定頻率的電磁干擾訊號來做展平動作，亦即不能對不同頻率的電磁干擾訊號做展平的動作。當電磁干擾訊號之頻率改變時，就不能降低電磁干擾訊號，必須換一顆延展電磁時脈產生器去做展平的動作，才能降低電磁干擾訊號。即延展電磁時脈產生器的調變方式固定，不能對不同頻率的電磁干擾訊號做展平的動作，一種頻率的電磁干擾訊號就需要一顆與其對應的延展電磁時脈產生器。

因此習知具有如下的缺點：首先，因為需要用外加或內建的SSCG晶片於ASIC晶片中，故造成整體的電路複雜。其次，習知方法只能針對某一特定頻率之電磁干擾訊號以固定的展平寬度來降低電磁干擾訊號，故其調變方式固定。當電磁干擾訊號之頻率有改變時，已經裝上去的SSCG晶片便無法處理，因此無法動態隨機處理電磁干擾訊號。

有鑑於此，本發明之目的係提供一種降低電磁干擾之控制IC，其可以以軟體方式來對要處理之電磁干擾訊號的頻率與要展平的寬度進行程式化，使之可以動態隨機處理電磁干擾訊號。

為達上述之目的，本發明提出一種降低電磁干擾之控制晶片，其內建於一積體電路中，並依據從外部輸入之演算法對電磁干擾訊號之頻率進行展平。上述之演算法係從一匯流排輸入。



五、發明說明 (4)

本發明更提出一種降低電磁干擾之控制晶片，其包括一可程式化鎖相環路，內建於控制晶片中，用以接收一時脈訊號，並依據演算法對電磁干擾訊號之頻率進行展平程序；以及匯流排，由控制晶片外部耦接到可程式化鎖相環路，用以輸入演算法至可程式化鎖相環路。電磁干擾訊號的頻率與展平程序之寬度可以藉由該演算法，以可程式化鎖相環路來加以程式化選擇

本發明更提出一種降低電磁干擾之方法，用以降低一電磁干擾訊號的強度，方法包括下列步驟。首先，接收一演算法。依據演算法，產生電磁干擾訊號的特定頻率與展平寬度。以特定頻率為中心，將電磁干擾訊號以展平寬度進行展平。簡而言之，本發明利用可程式化相位鎖相環路接收時脈訊號與演算法，然後利用此時脈訊號對電磁干擾訊號進行展平。當電磁干擾訊號的頻率改變時，則可利用演算法對時脈訊號做調變，然後再利用調變過的時脈訊號對電磁干擾訊號進行展平，如此一來不管電磁干擾訊號的頻率為何，本發明皆可有效的降低電磁干擾訊號。

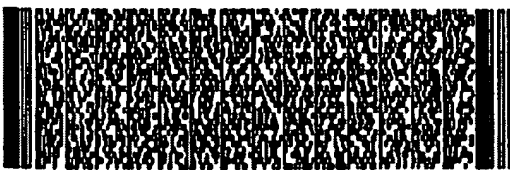
為讓本發明之上述和其他目的、特徵和優點，能更加明顯易懂，下文特舉較佳實施例，並配合所附圖示，做詳細說明如下：

重要元件標號：

302：應用特定積體電路

304：可程式化相位鎖相環路

306：匯流排



五、發明說明 (5)

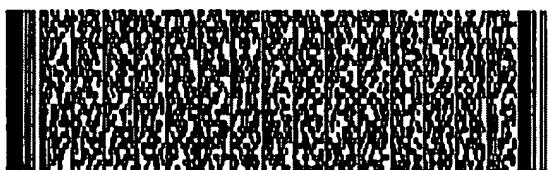
402~404：本發明之降低電磁干擾之方法之步驟

較佳實施例：

請參照第3圖，其繪示的是本發明之降低電磁干擾之控制IC之一較佳實施例方塊圖。本發明之降低電磁干擾之控制IC 304，內建於積體電路302中。控制IC 304可以從一外部的匯流排306接收一種演算法並儲存此種演算法，與自外部接收時脈訊號，並根據此時脈訊號對電磁干擾訊號的頻率進行展平，其中演算法可對時脈訊號做調變。

上述之控制IC可以為一可程式化鎖相環路(software phase lock loop, SPLL)，而積體電路可以是一個ASIC晶片。依據本發明之架構，當電磁干擾訊號的頻率改變時，控制IC 304依舊可以對電磁干擾訊號進行展平程序。依據演算法，產生該電磁干擾訊號的特定頻率與展平寬度。藉此，當電磁干擾訊號的頻率改變時，都可以利用演算法來可程式化鎖相環路304進行程式化，以決定要處理之電磁干擾訊號的中心頻率。同時，可以決定要將電磁干擾訊號要展平到什麼程度，此則由展平寬度來進行調整。藉此，便可以將各種不同頻率的電磁干擾訊號依據不同的展頻寬度進行展平，以降低電磁干擾訊號的波峰之dB值。

請參照第4圖，其繪示的是本發明之降低電磁干擾之方法之流程圖。首先，於步驟S100，接收接收演算法。此演算法例如可以經由一匯流排從外部輸入到第3圖所示之晶片中。接著在步驟S102，依據該演算法，產生該電磁干擾訊號的特定頻率與展平寬度。藉此，當電磁干擾訊號的



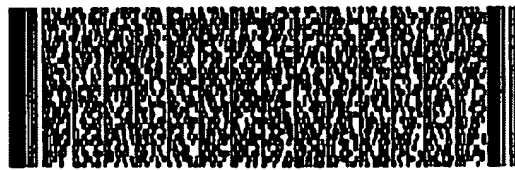
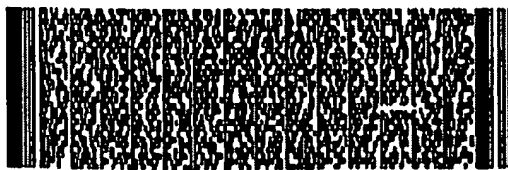
五、發明說明 (6)

頻率改變時，都可以利用演算法來對第3圖中的可程式化鎖相環路進行程式化，以決定要處理之電磁干擾訊號的中心頻率。同時，可以決定要將該電磁干擾訊號要展平到什麼程度，此則由展平寬度來進行調整。最後在步驟S104，以特定頻率為中心，將電磁干擾訊號以展平寬度進行展平。

相較較於習知，延展電磁時脈產生器只能對某一特定頻率的電磁干擾訊號來做展平動作，一但電磁干擾訊號的頻率改變時，延展電磁時脈產生器即不能對改變頻率的電磁干擾訊號做展平的動作。即當電磁干擾訊號的頻率改變時，就不能降低電磁干擾訊號，必須換一顆延展電磁時脈產生器去做展平的動作，才能降低電磁干擾訊號。本發明則利用內建於特定積體電路的可程式化之相位鎖相環路對時脈訊號做調變以對電磁干擾訊號作展平。意即當電磁干擾訊號的頻率改變時，存在可程式化之相位鎖相環路裡的演算法即會對時脈訊號做調變，然後再以調變過後的時脈訊號對電磁干擾訊號作展平，如此一來不管電磁干擾訊號的頻率為何，可程式化相位鎖相環路裡的演算法都可以調變出一個相對應的時脈訊號，因此可對不同的電磁干擾訊號展平，有效的降低電磁干擾訊號。

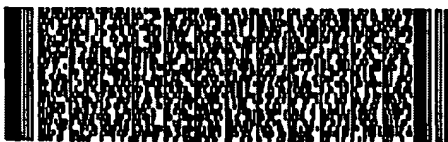
綜上所述，本發明具有如下的優點：

1. 不需一顆額外的延展電磁時脈產生器；
2. 調變方式可以程式化；以及
3. 可以有效的降低電磁干擾訊號。



五、發明說明 (7)

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，再不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

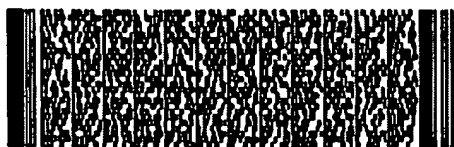
第1a圖與第1b圖繪示的是習知之延展電磁時脈產生器之方塊示意圖；

第2a圖繪示的是未經過展平之電磁干擾訊號；

第2b圖繪示的是根據第2a圖之經過展平之電磁干擾訊號；

第3圖繪示的是本發明之降低電磁干擾之控制IC之一較佳實施例方塊圖；以及

第4圖繪示的是本發明之降低電磁干擾之方法之流程圖。



六、申請專利範圍

1. 一種降低電磁干擾之控制晶片，內建於一積體電路中，並依據一演算法對一電磁干擾訊號之一頻率進行展平。

2. 如申請專利範圍第1項所述之降低電磁干擾之控制晶片，其中該演算法係從一匯流排輸入。

3. 一種降低電磁干擾之控制晶片，包括：

一可程式化鎖相環路，內建於該控制晶片中，用以接收一時脈訊號，並依據一演算法對一電磁干擾訊號之一頻率進行一展平程序；以及

一匯流排，由該控制晶片外部耦接到該可程式化鎖相環路，用以輸入該演算法至該可程式化鎖相環路。

4. 如申請專利範圍第3項所述之降低電磁干擾之控制晶片，其中該電磁干擾訊號的該頻率與該展平程序之寬度可以藉由該演算法，以該可程式化鎖相環路來加以程式化選擇。

5. 一種降低電磁干擾之應用特定積體電路，包括：

一第一輸入端，用以接收一時脈訊號；

一第二輸入端，用以接收一演算法；以及

一可程式化相位鎖相環路，耦接至該第一輸入端與該第二輸入端，用以根據該時脈訊號與該演算法對一電磁干擾訊號之一頻率進行一展平程序。

6. 如申請專利範圍第5項所述之降低電磁干擾之控制晶片，其中該電磁干擾訊號的該頻率與該展平程序之寬度可以藉由該演算法，以該可程式化鎖相環路來加以程式化



六、申請專利範圍

選擇。

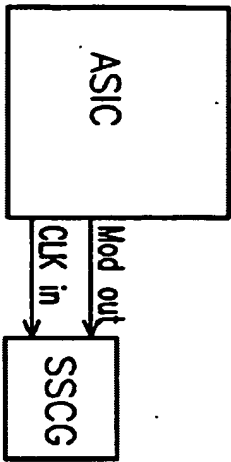
7. 一種降低電磁干擾之方法，用以降低一電磁干擾訊號的強度，該方法包括下列步驟：

接收一演算法；

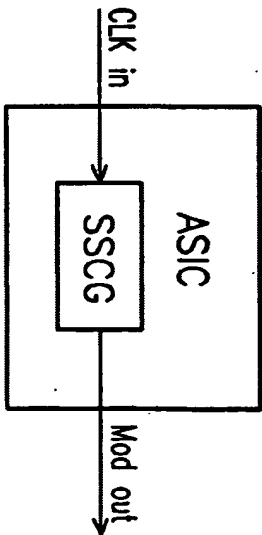
依據該演算法，產生該電磁干擾訊號的一特定頻率與一展平寬度；

以該特定頻率為中心，將該電磁干擾訊號以該展平寬度進行展平。

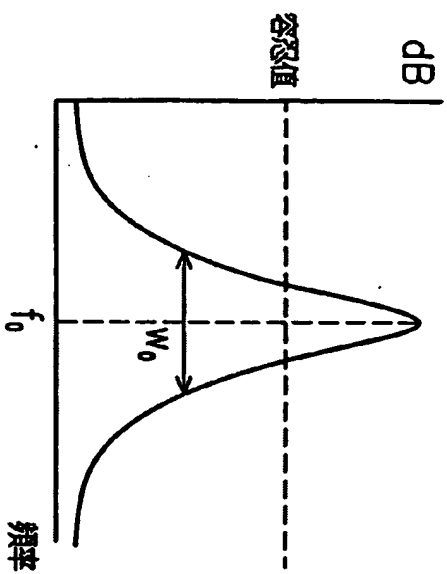




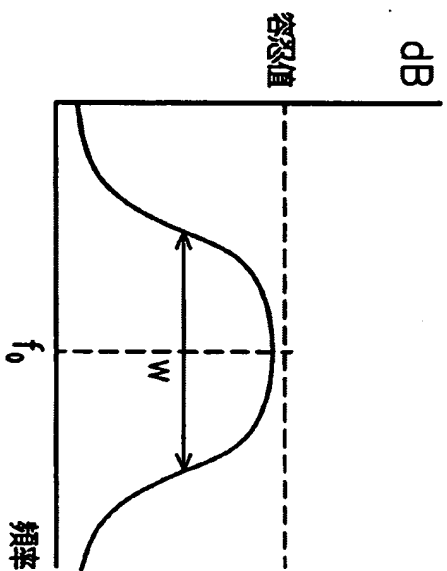
第1a圖



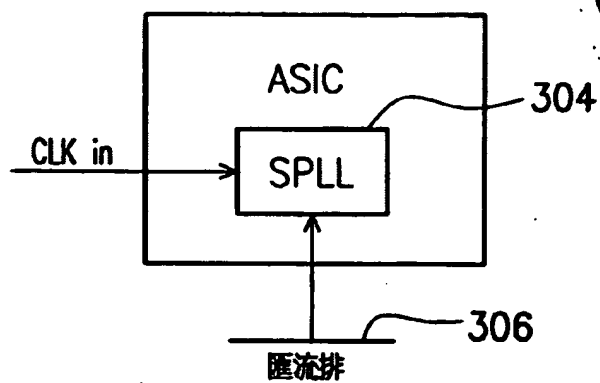
第1b圖



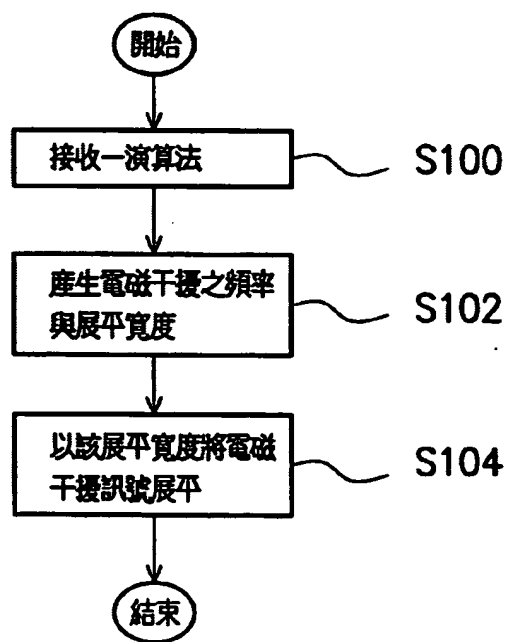
第2a圖



第2b圖

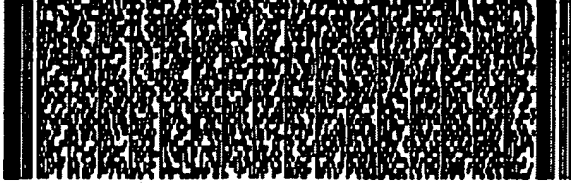


第 3 圖

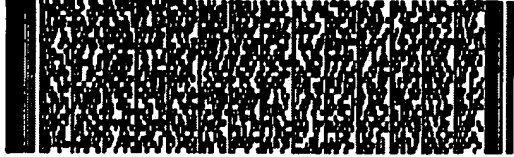


第 4 圖

第 1/14 頁



第 2/14 頁



第 2/14 頁



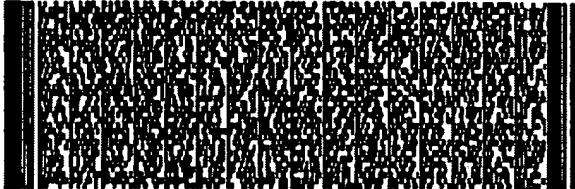
第 3/14 頁



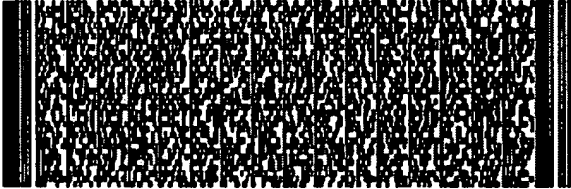
第 4/14 頁



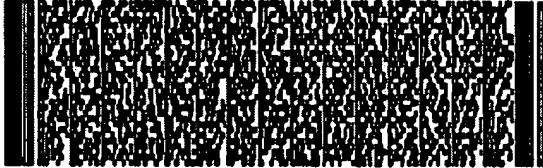
第 5/14 頁



第 5/14 頁



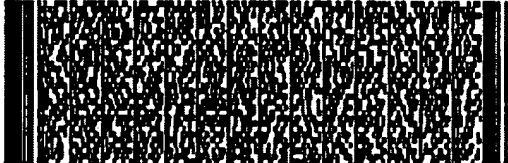
第 6/14 頁



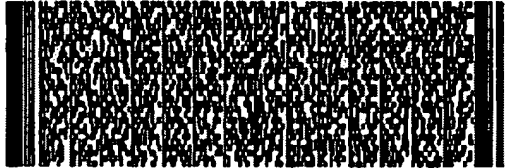
第 6/14 頁



第 7/14 頁



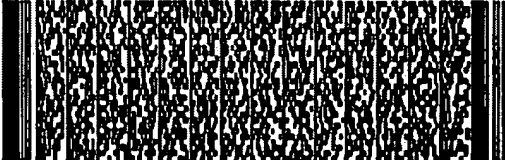
第 7/14 頁



第 8/14 頁



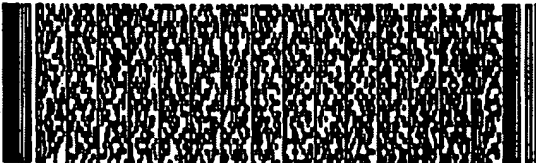
第 8/14 頁



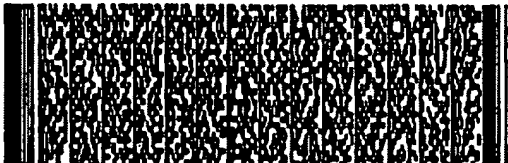
第 9/14 頁



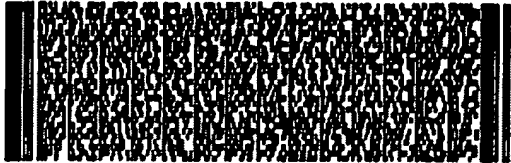
第 9/14 頁



第 10/14 頁



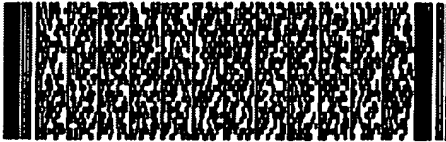
第 10/14 頁



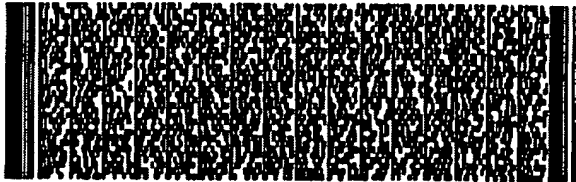
第 11/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

